

# Using standard hardware accelerators to decrease computation times in scientific applications

---

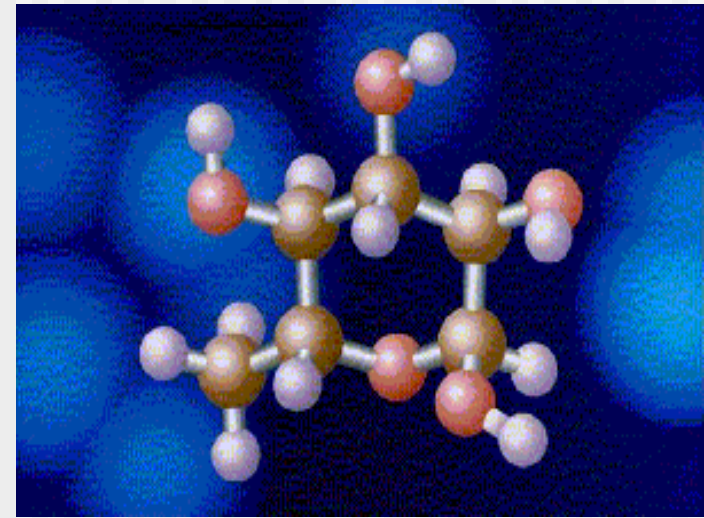
**Ernest Jamro**, Dawid Kuna, Paweł Russek, Kazimierz Wiatr

**ACK Cyfronet, Akademia Górniczo-Hutnicza, Kraków**



# Program

- Heterogeniczne systemy obliczeniowe
- Układy FPGA
- Procesory graficzne, ClearSpeed, PowerXCell
- Podsumowanie



# Nr 1 na TOP500 – obliczenia hybrydowe

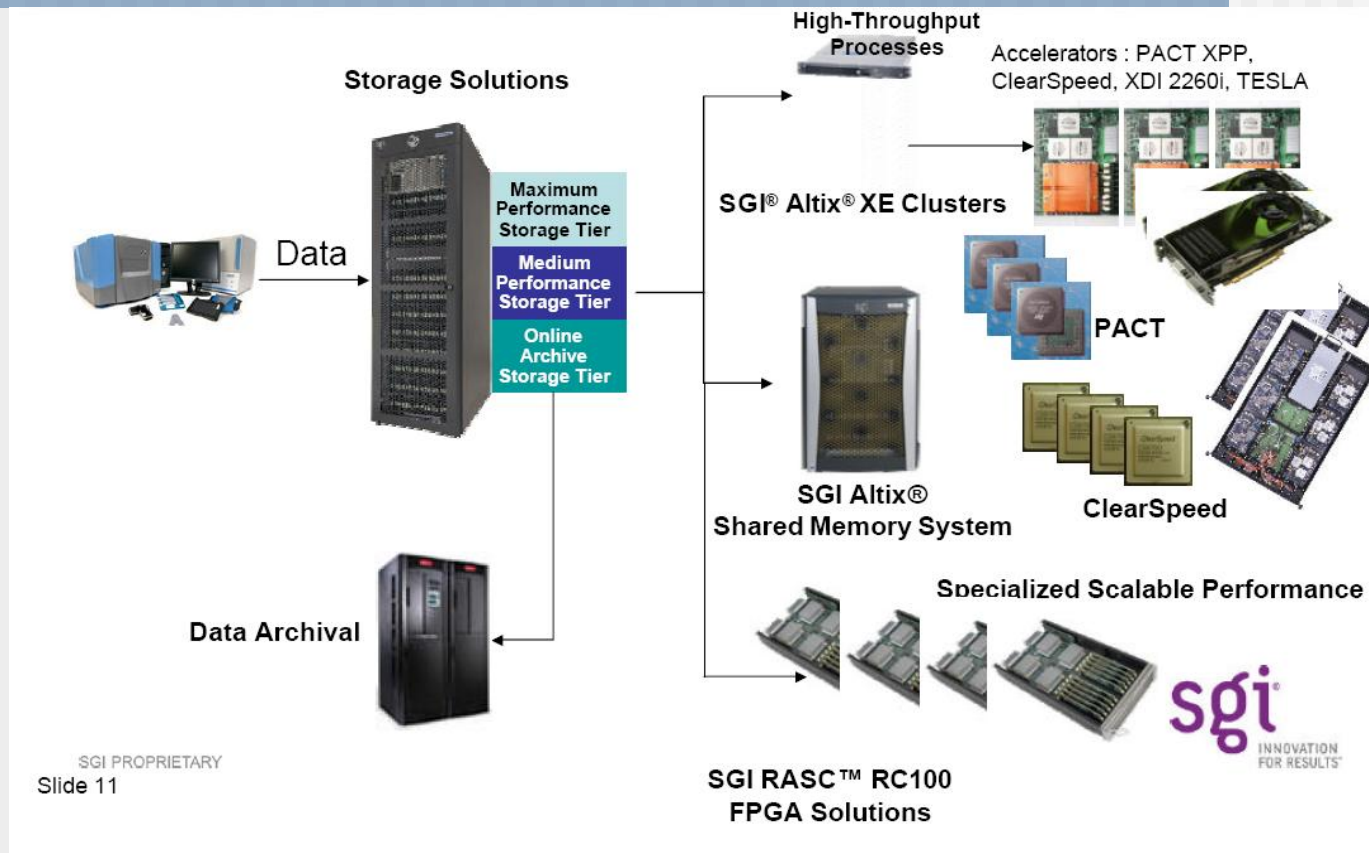
Roadrunner:

- 6,562 dual-core AMD Opteron (1.8 GHz)
- 12,240 PowerXCell (3.2 GHz) (każdy układ scalony ma 8 rdzeni o mocy szczytowej 12.8 Gflops)

Rdzeni	Rmax[Tflops]	Rpeak [Tflops]
122400	1026	1376

- Zużycie energii: 2.35 MW

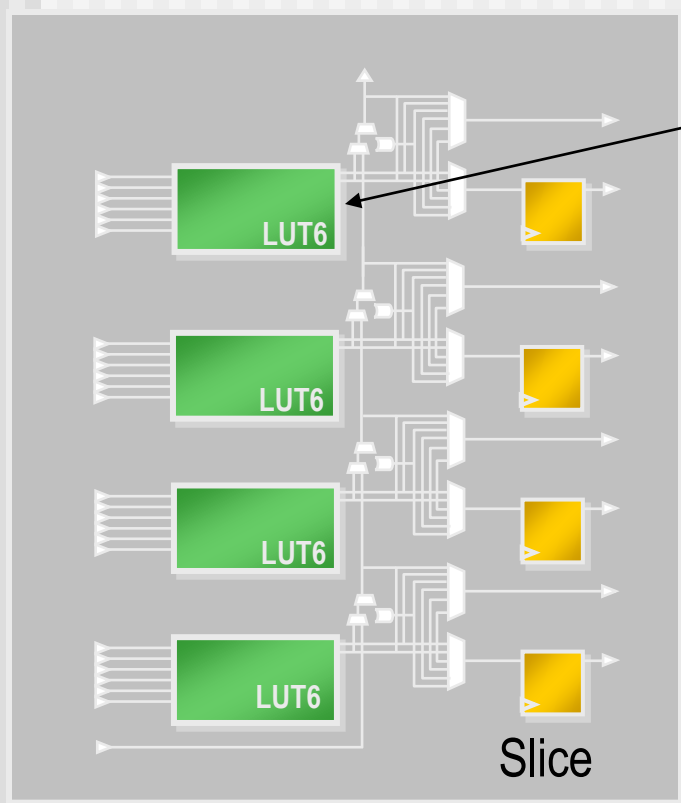
# Obliczenia hybrydowe według SGI



SGI PROPRIETARY  
Slide 11

- **XtremeData** for Field Programmable Gate Array (FPGA) accelerator options beyond the SGI RASC RC100 to optimize scientific computing and medical imaging
- **NVIDIA®** - parallel visual computing on NVIDIA professional GPU (graphics processing unit) solutions
- **ClearSpeed Technology** - acceleration solutions for molecular dynamics, drug design, computational chemistry, electromagnetics and turbulent fluid flow analysis
- **PACT XPP** - digital signal processors for 2D edge detection used in biomedical imaging, pattern recognition and searches

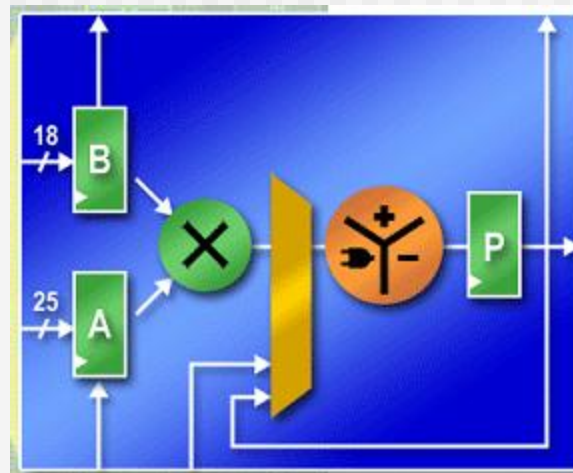
# Układy FPGA (Field Programmable Gate Arrays)



Logika ogólnego przeznaczenia

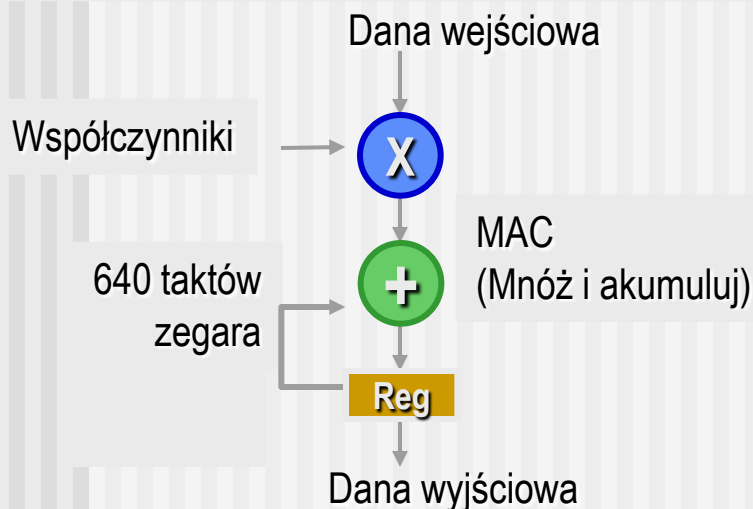
Jeden element LUT6 może wykonać dowolną funkcję logiczną 6 wejść i jednego wyjścia

Moduł XsterimeDSP – idealny do wykonywania operacji mnoż i dodaj



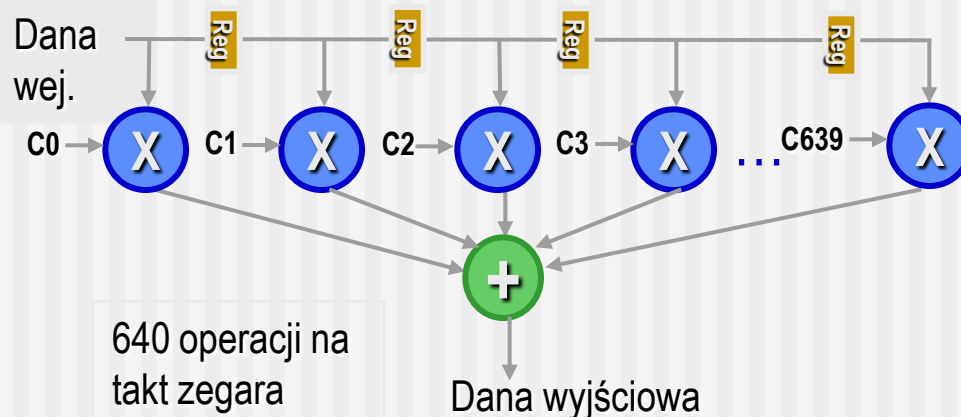
# FPGA wykorzystywane do obliczeń silnie równoległych

## Procesor - sekwencyjny



$$4 \text{ GHz} * 128/16 \text{ (SIMD)} = 32 \text{ GMAC/s}$$

## FPGA – całkowicie równoległe obliczenia



$$500 \text{ MHz} * 640 = 320 \text{ GMAC/s}$$

**Operacja MAC zaimplementowany 10 razy szybciej**  
**Dane dla obliczeń  $\text{int}18 \times \text{int}18 = \text{int}36$**

# Porównanie procesorów CPU i układów FPGA

## Procesory CPU:

- Pobieranie instrukcji
- Dekodowanie instrukcji
- Wykonanie instrukcji

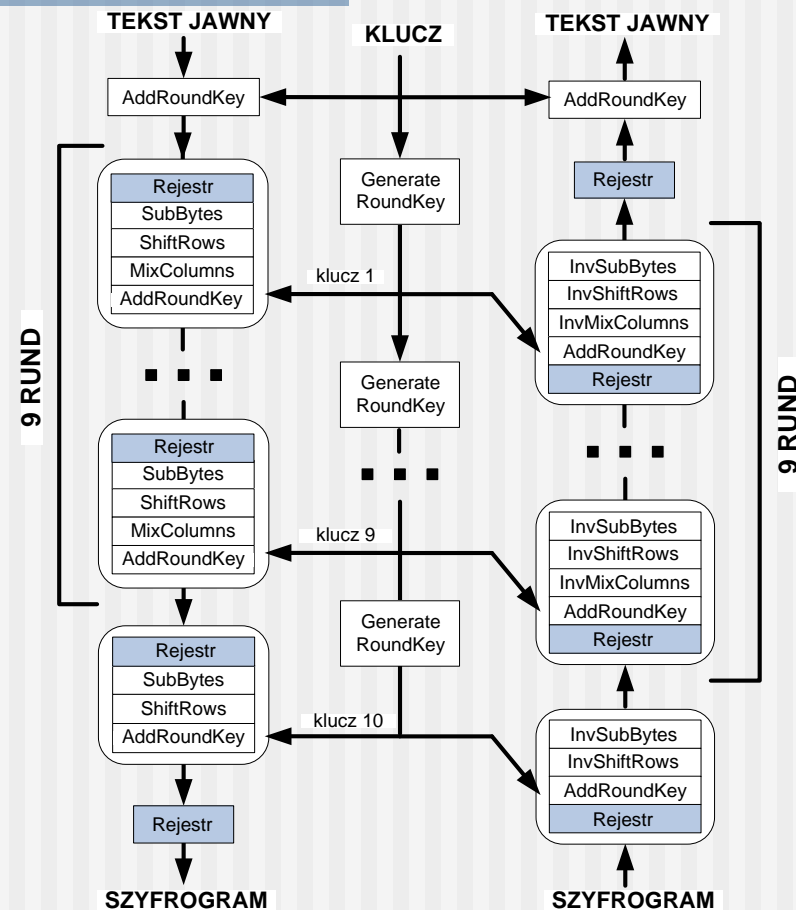
## Układy FPGA

- Instrukcje zawarta bezpośrednio w konfiguracji układu FPGA
- Możliwość dostosowanie architektury układu FPGA do wykonywanego zadania
- Zmiana konfiguracji układu FPGA jest relatywnie czasochłonna – wymaga 10-100ms.



# AES

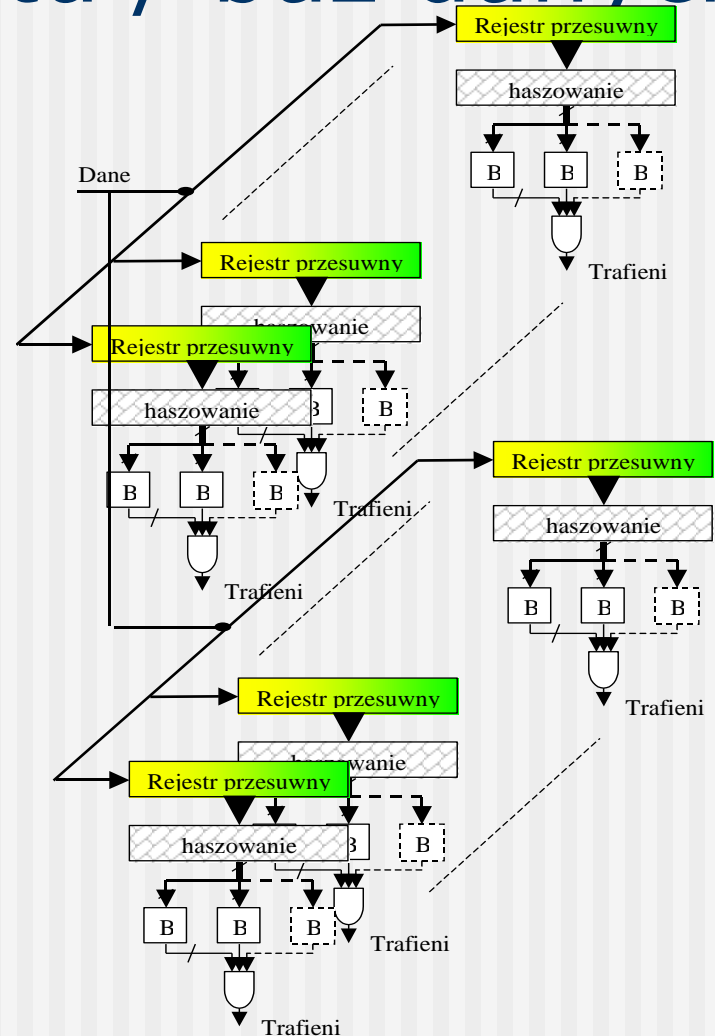
- 128-bitowy blok danych (4 wiersze x 4 kolumny 8-bitowych słów)
- Kodowanie 9 rund wykonywanych sekwencyjnie
- Każda runda jest taka sama i składa się z operacji XOR, przesunięć, dodawań oraz operacji LUT (Look-Up Table)
- Szybkość przetwarzania 128-bitów/takt zegara
- 15 krotne przyśpieszenie w porównaniu z Pentium4 3,2GHz





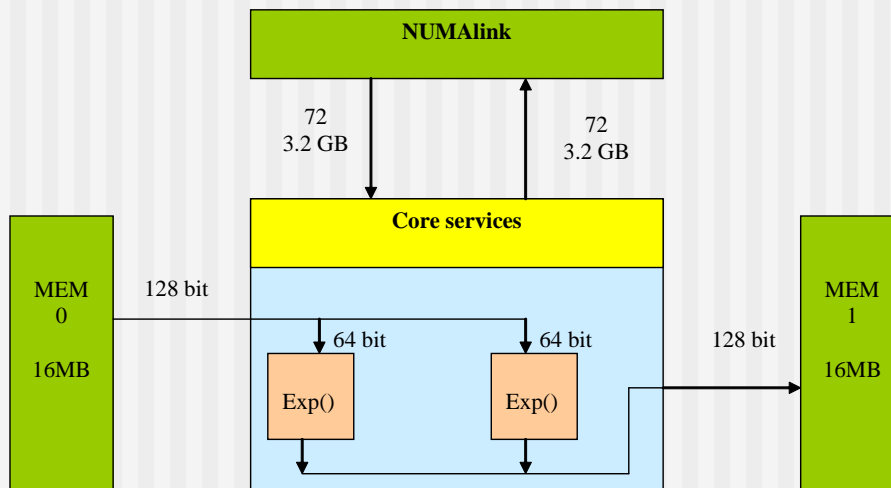
# Wyszukiwanie wzorców przeszukiwanie tekstu / baz danych

- Algorytm – Filtr Bloom’a
- Szybkość przetwarzania ciągu wejściowego: 1.6GB/s - na granicy szybkości działania interface’u pamięci i NUMALink
- Wyszukiwanie nawet do 10000 wzorców równocześnie (duże zrównoleglenie)
- 200 krotne przyśpieszenie w porównaniu z Ithanium2 1,5GHz dla funkcji grep i ilości wzorców 50

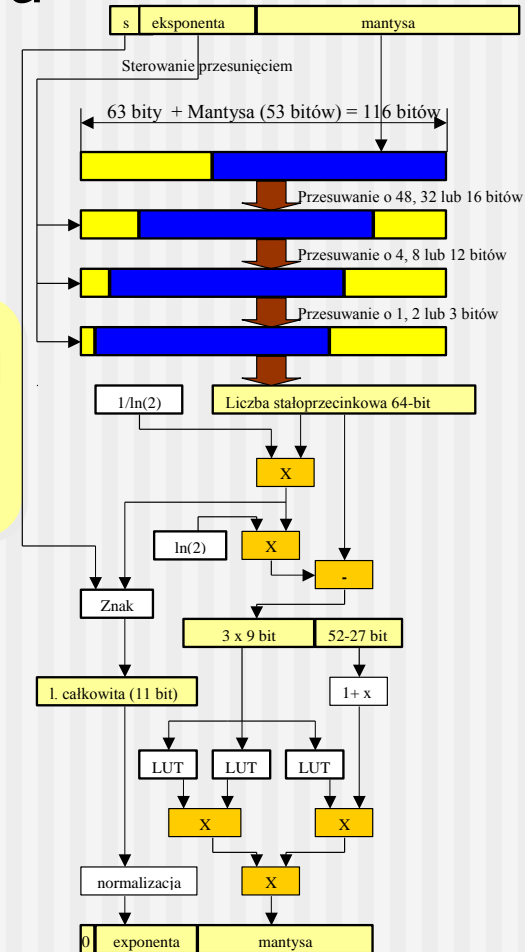


# Funkcja: *double exp(double)*

- 2 funkcje  $\exp()$  obliczane co takt zegara (200MHz)
- Tylko 10% zajętych zasobów układu FPGA – miejsce na dodatkowe funkcje
- 5 krotne przyśpieszenie w porównaniu z Pentium 4 2GHz

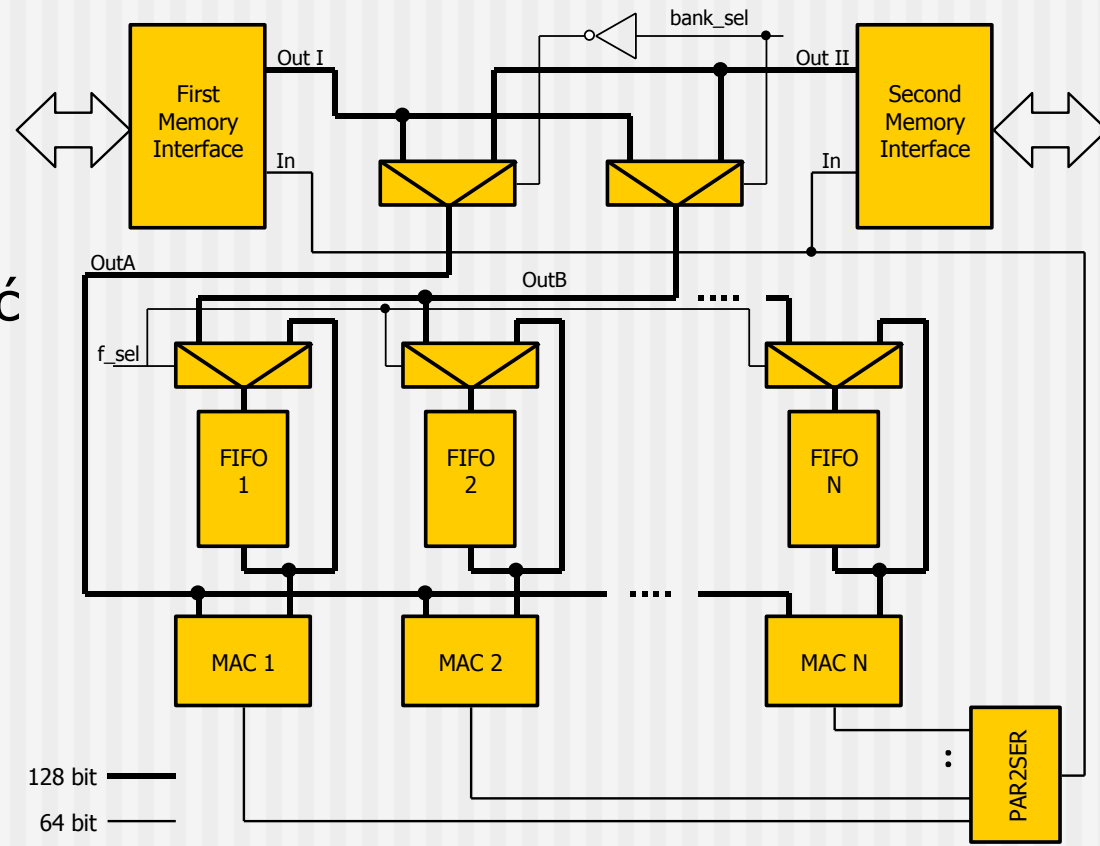


Xilinx Virtex-4 LX200



# Operacje algebry liniowej

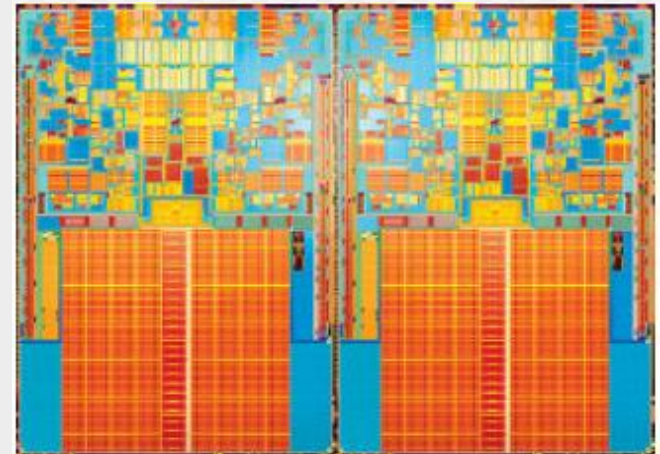
- Brak widocznej poprawy szybkości w porównaniu z procesorami ogólnego przeznaczenia dla operacji mnożenia dodawania podwójnej precyzji
- Technologia FPGA może być ciągle opłacalna ze względu na dużo mniejsze zużycie mocy
- Optymalizacja modułów arytmetycznych oraz zmniejszenie szerokości bitowej może umożliwić uzyskanie przyśpieszenia



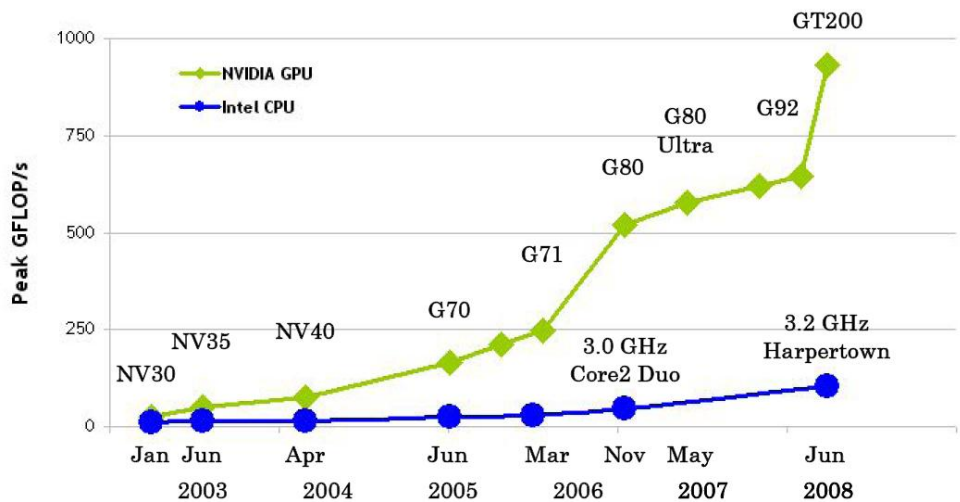
# Jaki typ obliczeń?

---

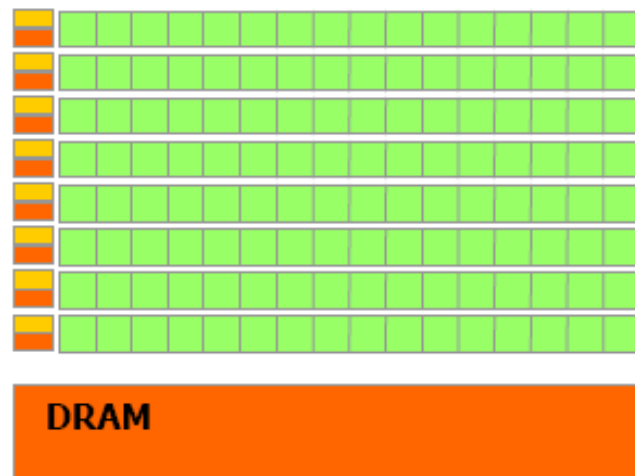
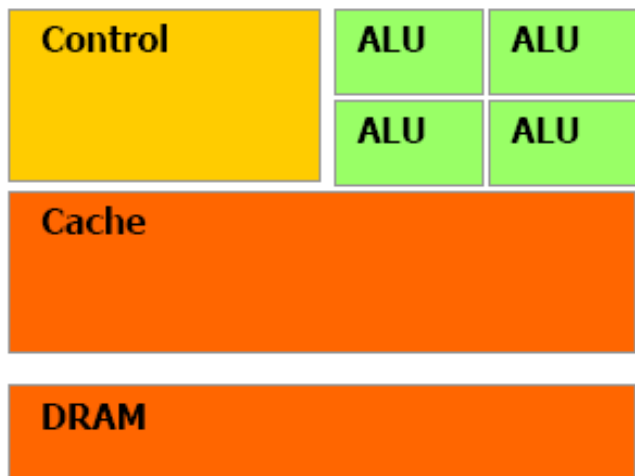
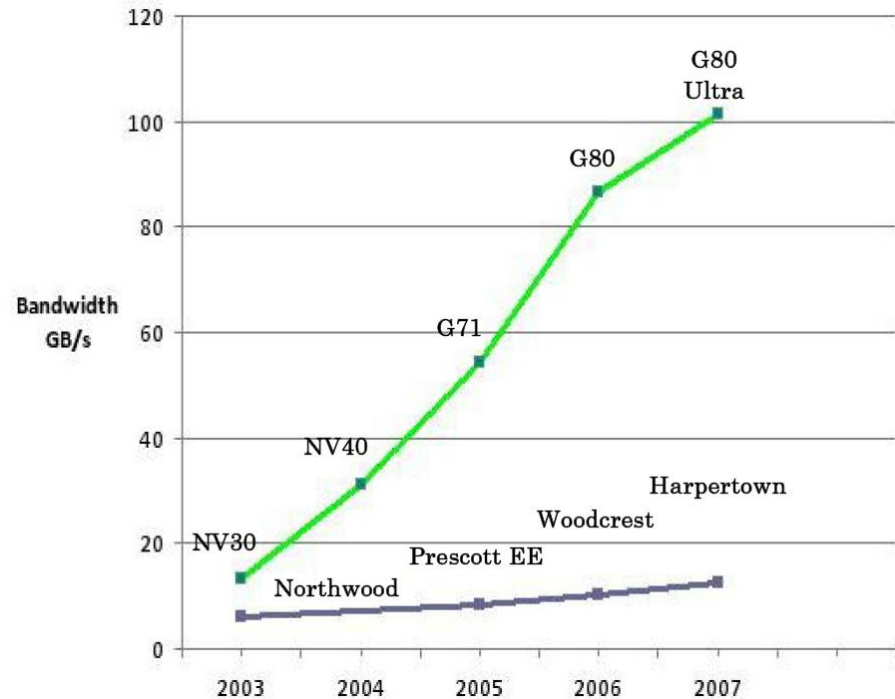
- Skomplikowany kod programu
- Logiczne i przesunięcia bitowe
- Na liczbach całkowitych
- Na liczbach zmiennoprzecinkowych pojedynczej precyzji
- Na liczbach zmiennoprzecinkowych podwójnej precyzji:
  - Mnożenie, dodawanie
  - Dzielenie
  - $\sqrt{\phantom{x}}$ ,  $\sin$ ,  $\cos$ ,  $\exp$ ,  $\log$



# Procesory graficzne Operacje zmiennoprzecinkowe pojedynczej precyzji



GT200 = GeForce GTX 280	G71 = GeForce 7900 GTX	NV35 = GeForce FX 5950 Ultra
G92 = GeForce 9800 GTX	G70 = GeForce 7800 GTX	NV30 = GeForce FX 5800
G80 = GeForce 8800 GTX	NV40 = GeForce 6800 Ultra	

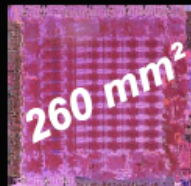


# Przykład procesora GPU

## ATI Radeon™ HD 4870

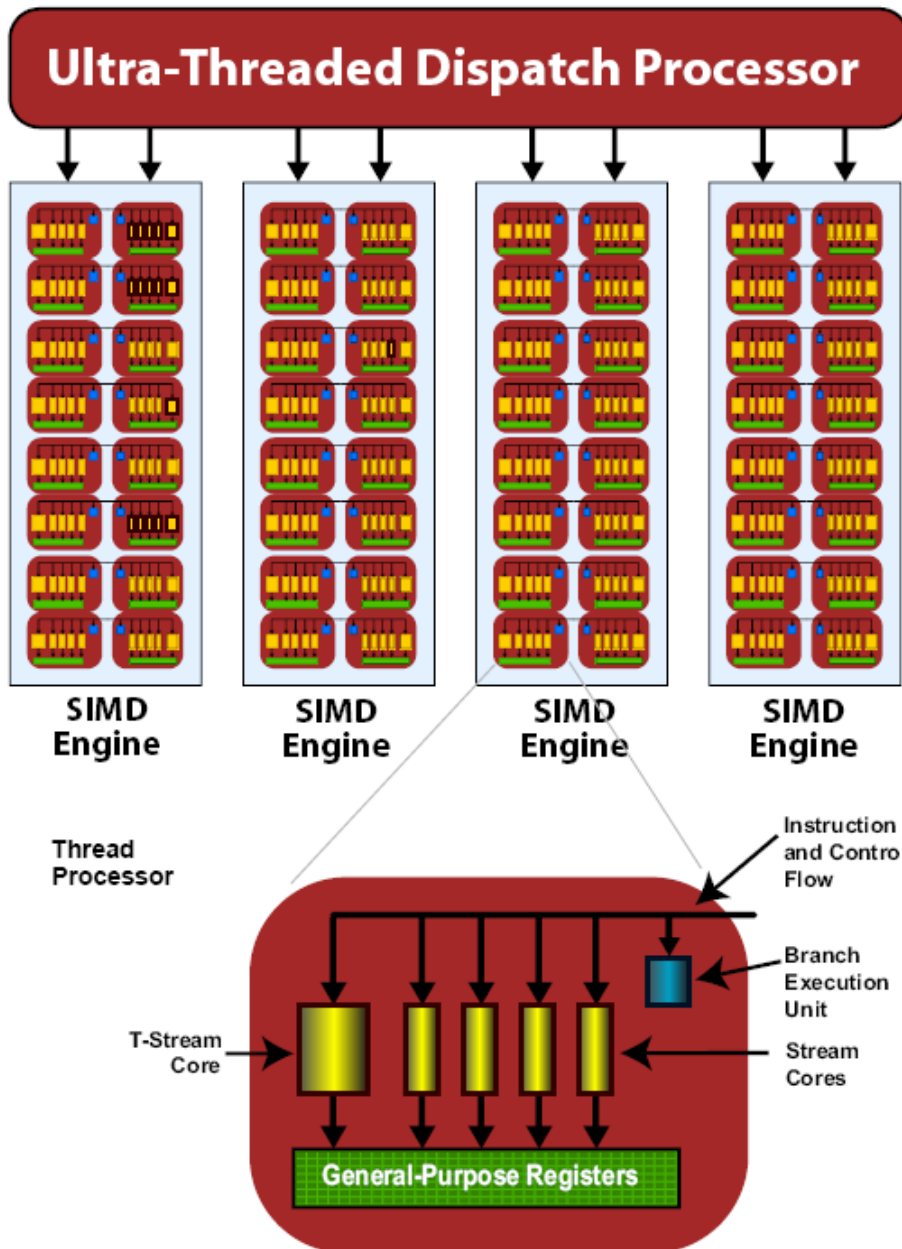


*First Graphics with GDDR5*



SP Compute Power	1.2 T-FLOPS
DP Compute Power	240 G-FLOPS
Core Clock Speed	750 Mhz
Stream Processors	800
Memory Type	GDDR5 3.6Gbps
Memory Capacity	512 MB
Max Board Power	160 W
Memory Bandwidth	115.2 GB/Sec

# Schemat blokowy Radeon HD 4800



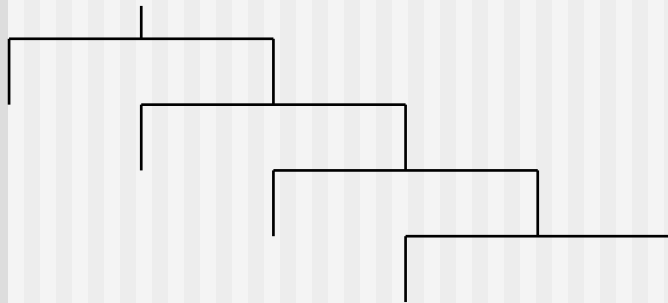
# Podwójna precyzja?

Przykład:

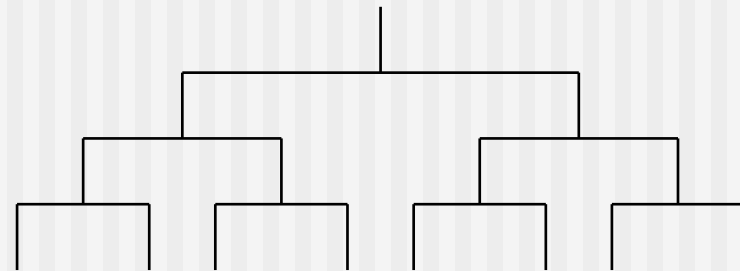
$10^9$  iteracji sumowania – liczba sumowań powyżej dokładności pojedynczej precyzji

Wniosek (firma ClearSpeed): konieczna podwójna precyzja.

Zmiana kolejności sumowań umożliwia zastosowanie pojedynczej precyzji



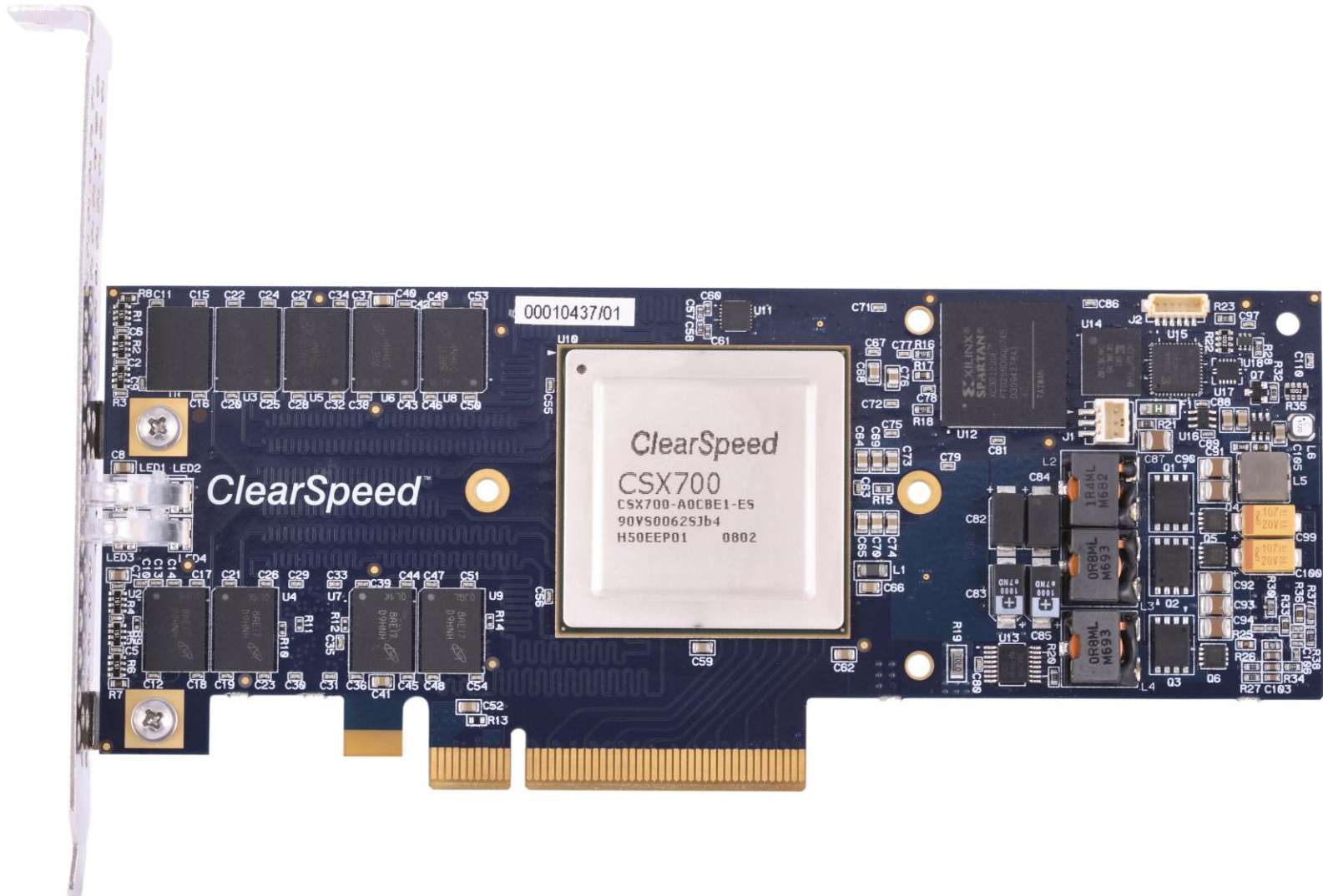
Podwójna precyzja



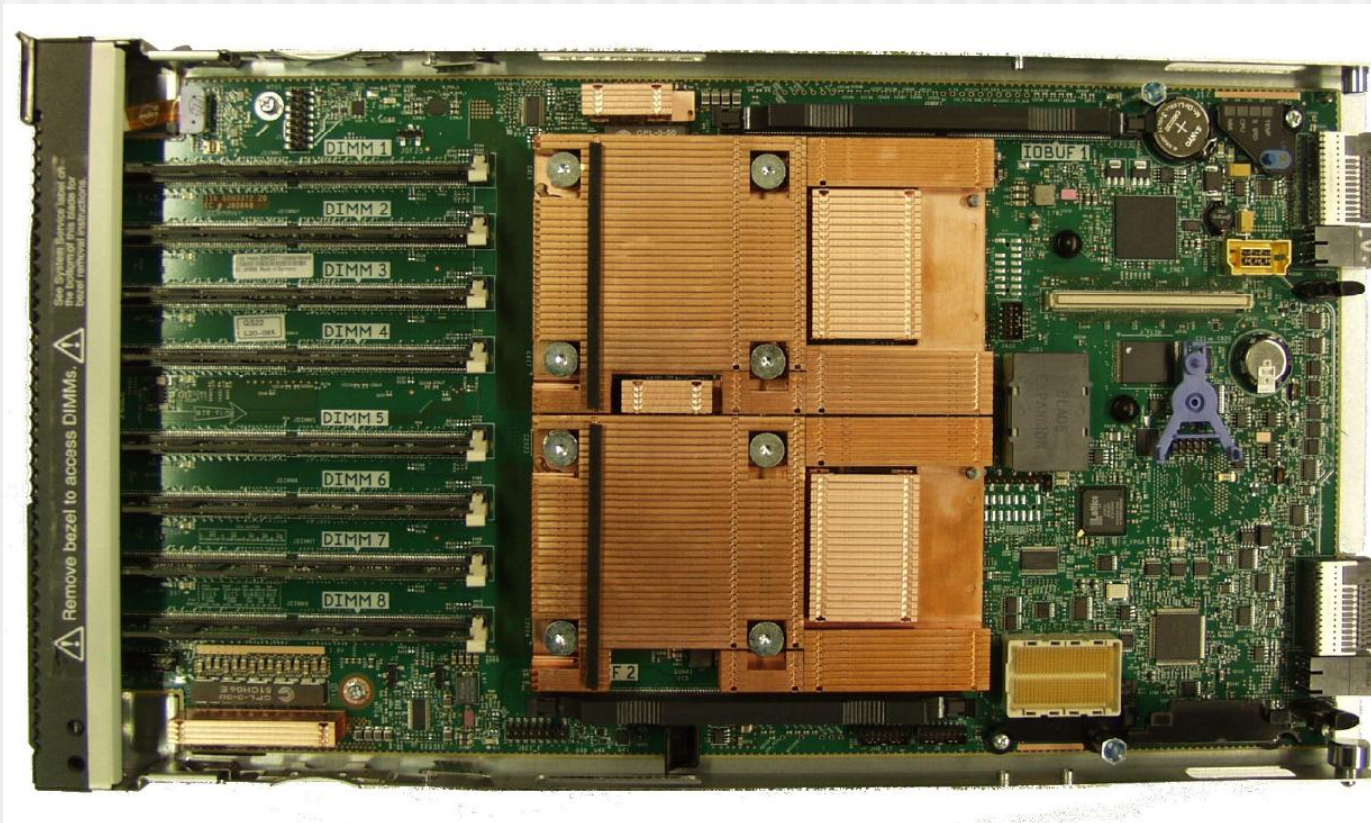
Pojedyncza precyzja



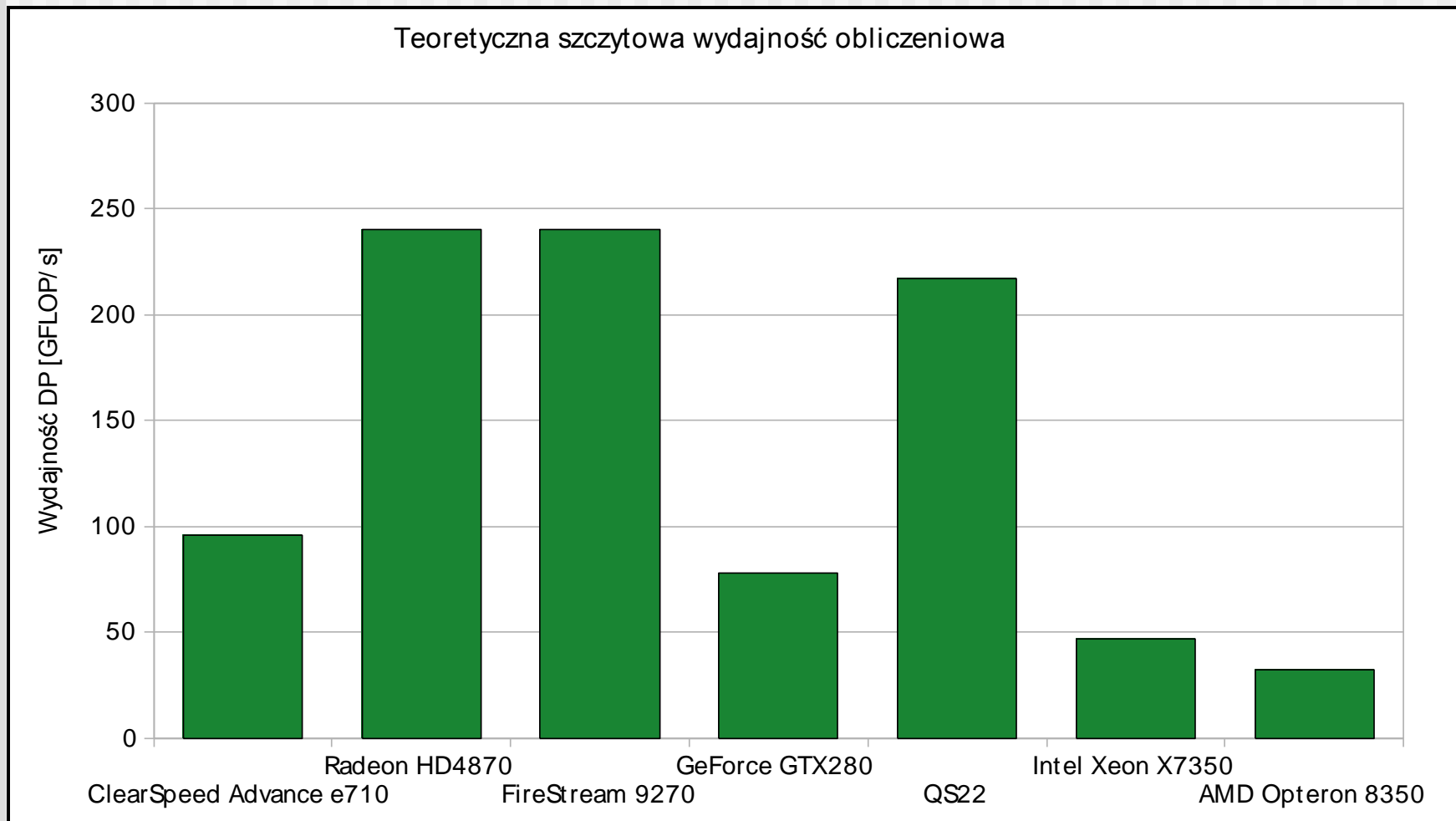
# ClearSpeed Advance e710



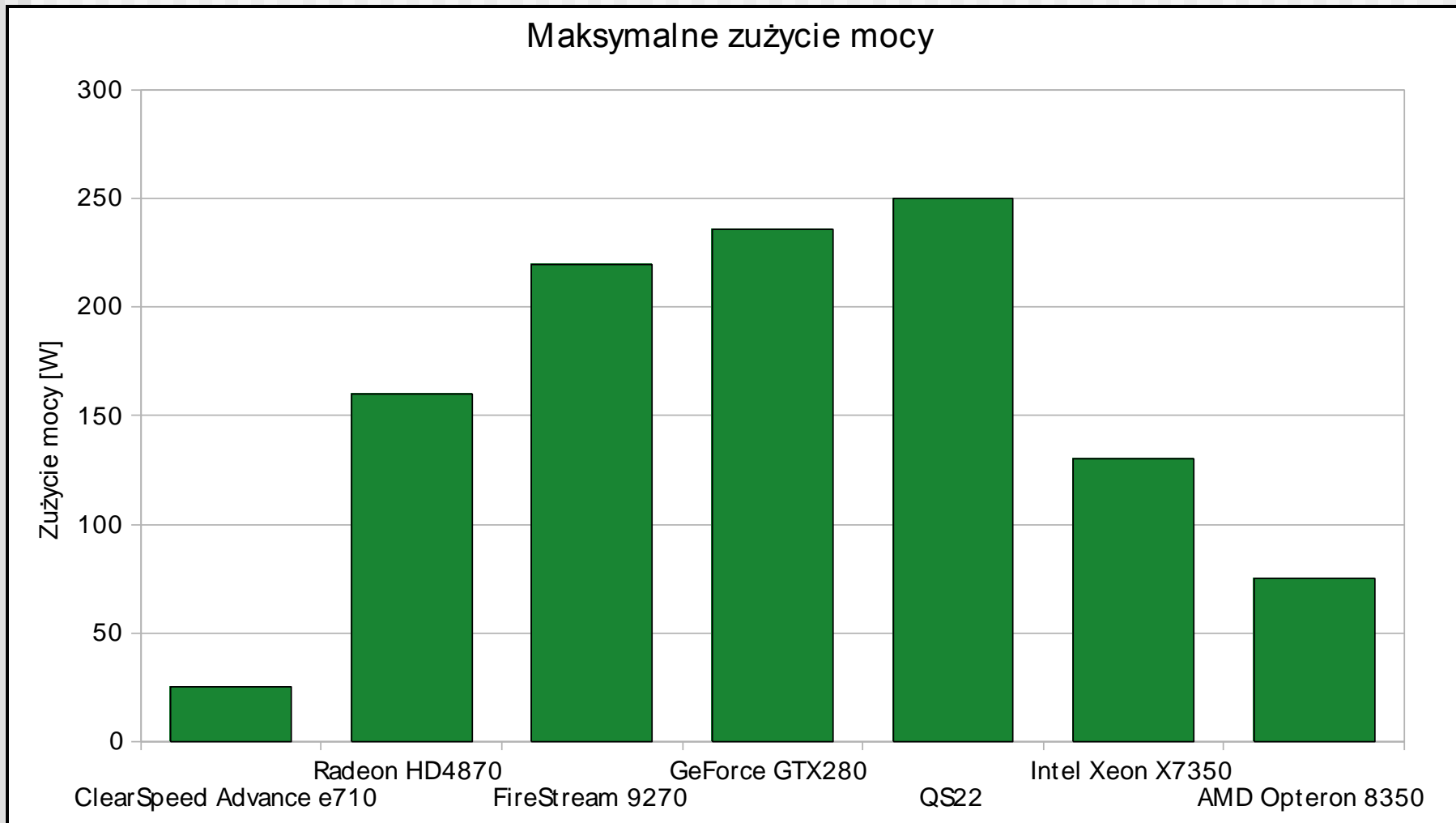
# IBM QS22 (2 x PowerXCell)



# Porównanie teoretycznej wydajności



# Porównanie zużycia mocy





# Podsumowanie

---

- CPU
  - Skomplikowany kod programu
  - duży i niedeterministyczny dostęp do pamięci
  - duża szybkość projektowania
- FPGA
  - prosty kod programu
  - duża liczba przetwarzanych danych: bitowych, liczb całkowitych
  - długi proces projektowania
- GPU, PowerXCell
  - operacje zmiennoprzecinkowe szczególnie pojedynczej precyzji
  - relatywnie prosty kod programu, obliczenia SIMD

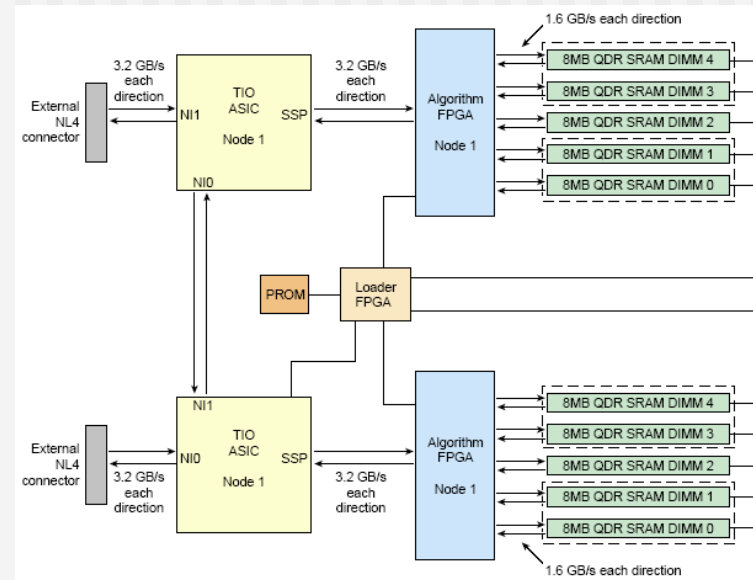
# Dziękuję za uwagę

---



# Platforma sprzętowa RASC (SGI)

- Dwa układy FPGA Virtex4LX200
- Komunikacja poprzez magistralę NUMALinks za równych zasadach jak z procesorem
- Szybkość transmisji 3.2GB/s (w obie strony) w ramach magistrali NUMALinks i 2x3.2GB/s z pamięcią zewnętrzną 64 MB QDR SRAM







# FPGA a oszczędność energii

Dostarczanie energii oraz chłodzenie ośrodków obliczeniowych stało się dużym wyzwaniem dla większości organizacji. Od 2002 roku, średnia cena energii elektrycznej wzrosła o około 5.5% rocznie i ośrodki obliczeniowe wydają teraz około 0.5\$ na energię i chłodzenie w porównaniu z 1\$ na zasoby sprzętowe. Współczynnik ten będzie ciągle rósł.

Za pięć lat ośrodki obliczeniowe będą wydawały tyle samo pieniędzy na zasoby sprzętowe co na energię elektryczną i chłodzenie.

Źródło: Eight Critical Forces Shape Enterprise Data Center Strategies, Part Two, by Rakesh Kumar, June 19, 2007, Gartner, Inc., ID Number: G00148349.

# Podsumowanie

- Układy FPGA w obliczeniach zdominowanych przez dane mogą zdecydowanie przyśpieszyć szybkość wykonywania obliczeń
- Bardzo duży stopień zrównoleglenia i używanie architektury potokowej
- Przyśpieszeniu może ulec tylko mały fragment kodu – czas rekonfiguracji układu FPGA wynosi 10-100ms.
- Czym mniejsza szerokość bitowa zmiennych tym mniej zajmowanych zasobów FPGA - możliwość deklarowania obliczeń o dowolnej szerokości bitowej.
- Zalecane jest używanie najpierw operacji bitowych, potem operacji stałoprzecinkowych, a jeżeli już zmiennoprzecinkowych to raczej pojedynczej precyzji
- Układy FPGA zużywają około 2-10W mocy – dlatego mogą być ciągle zalecane przy obliczeniach zmiennoprzecinkowych podwójnej precyzji mimo tego że nie oferują dużego przyśpieszenia w porównaniu z procesorami ogólnego przeznaczenia