

Platformy rekonfigurowalne

Platforma RASC

Układy FPGA: 2 x Virtex 4 LX200

Pamięć: 80MB QDR SRAM

Interfejs: Dual NUMalink™ 4 ports

Węzeł udostępniony w ramach komputera [PANDA](#)

Platforma PICCO

Picco Spartan 6

Układy FPGA: 6 x Xilinx Spartan 6 LX150

Pamięć: 256 MB DDR3

Picco Virtex 6

Układy FPGA: 2 x Xilinx Virtex 6 LX240

Pamięć: 2GB DDR3, 8MB QDRII

Węzły udostępnione w ramach komputera [ZEUS GPGPU](#)

Oferta obliczeniowa Cyfronetu wykracza poza klasyczne rozwiązania obliczeniowe. Oprócz rozwiązań typu SMP i klastrowego, Centrum posiada również platformy rekonfigurowalne służące do prowadzenia obliczeń w oparciu o architektury dedykowane. Dzięki temu, w szeregu przypadków można uzyskać od kilku do kilkunastokrotne przyspieszenie prowadzonych obliczeń.

Systemy rekonfigurowalne tego typu znajdują duże zastosowanie w obliczeniach naukowo-technicznych HPRC (ang. *High Performance Reconfigurable Computing*). Do tej pory z sukcesem zastosowano układy rekonfigurowalne w takich dziedzinach HPC, jak: genomika, eksploracja danych (ang. *data mining*), symulacje ruchu drogowego, aplikacje finansowe, itp.

Programowanie rekonfigurowalnej struktury odbywa się za pośrednictwem języka programowania 'C' ([Impulse-C](#)) lub języka opisu sprzętu.

Obliczenia HPRC

Coraz większe zasoby oferowane przez układy FPGA umożliwiły efektywne ich wykorzystanie w obliczeniach wielkiej skali. Również rozwój narzędzi służących do projektowania przyczynił się do upowszechnienia FPGA w HPC. Obecnie tworzenie struktury dedykowanego procesora sprzętowego w FPGA coraz bardziej przypomina programowanie softwaru niż projektowanie sprzętu.

Konwencjonalne procesory są bardzo wydajne w realizowaniu szeregu często wykonywanych operacji. Dla takich operacji stosowanie układów FPGA nie jest opłacalne. Istnieje jednak wiele algorytmów, które nie pasują do struktury procesorów ogólnego stosowania, na przykład pod względem reprezentacji danych czy typu wykonywanych operacji. Przykładem mogą być dane o

reprezentacji 1-bitowej i operacje typu logicznego. Takie aplikacje, które dodatkowo dają możliwość równoległego prowadzenia obliczeń, są idealnymi kandydatami do akceleracji przy pomocy układów rekonfigurowalnych. Algorytmy dobrze nadające się do FPGA to algorytmy przetwarzania danych o charakterze lokalnym, nie wymagające dużego transferu danych do i z procesora.

Więcej informacji:

- Platforma RASC - [RASC Introduction](#)
- Platforma PICCO - [Product Overview](#)

Kontakt

Zespół Akceleracji Obliczeń ACK Cyfronet:

- prof. dr hab. Kazimierz Wiatr
- dr inż. Paweł Russek email: p.russek@cyfronet.pl tel. +48 12 633 34 26
- dr inż. Ernest Jamro email: e.jamro@cyfronet.pl